|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 今-4.11 | 4.12 – 4.28 | 4.29 -5.13 | 5.14 -6.1 |
| eFLASH;PulP调研;risc-v架构 | |  |  |  |
| Pulp 平台仿真，EEPROM仿真 | | |  |  |
| Rocket-chip仿真 | | | |  |
| eFLASH设计 | | | | |
| I/O端口，供电单元设计 | | | | |
|  |  |  |  |  |

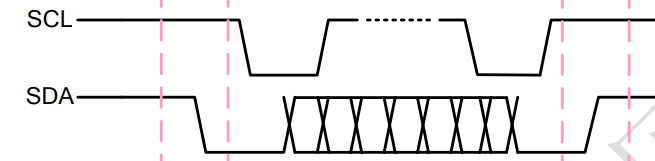
刘定邦MCU研究计划

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | 周一 | 周二 | 周三 | 周四 | 周五 | 周六 |
| 上午 | 项目工作，组会 | 项目工作 | 项目工作 | 项目工作 | 论文撰写 | 论文撰写 |
| 下午 | 论文撰写 | 项目工作 | 项目工作 | 项目工作 | 论文撰写 | 论文撰写 |
| 晚间 | 工作项目/论文撰写 | 论文撰写 | 论文撰写 | 论文撰写 | 论文撰写 | 论文撰写 |

刘定邦时间安排

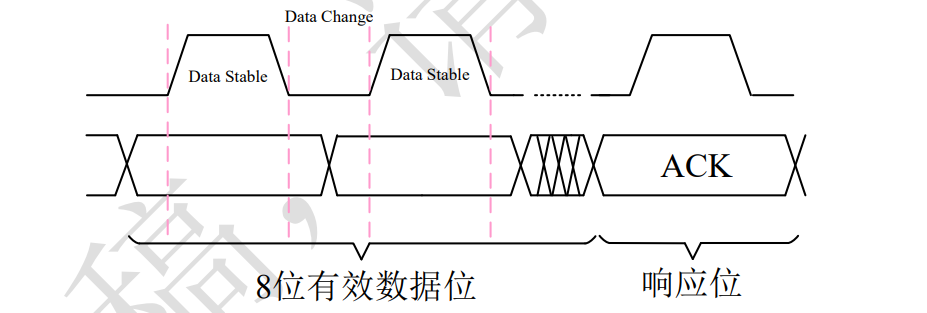
本周工作

I2C协议基础概念，SCL（串行时钟线）以及SDA （串行数据线）基本的工作原理，主从机的工作状态。



空闲 起始 读写 结束

1. 总线空闲：SDA高，SCL低
2. I2C起始： SCL高，SDA下降沿。
3. I2C结束： SCL高，SDA 上升沿。
4. I2C读写：包括数据串行输入输出和数据接受方的响应信号。

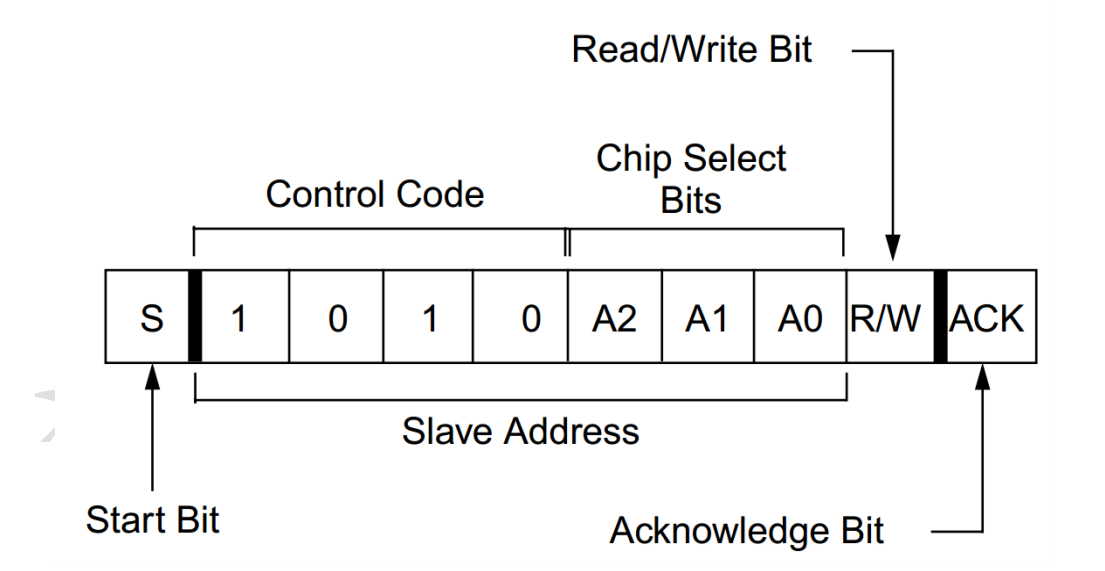


I2C主机向从机写入：SDA上的数据在SCL高位写入并存储。

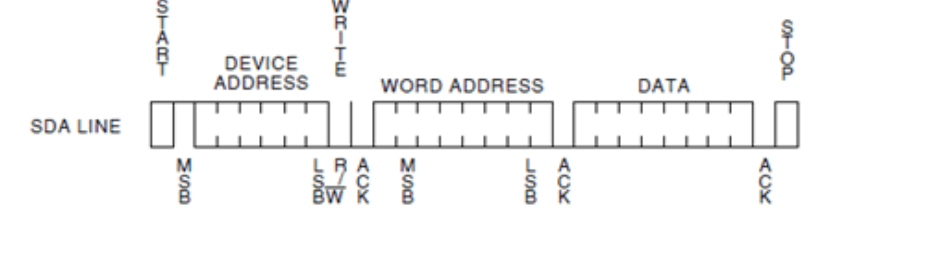
主机向从机读取： 从机在SCL低位将数据输入到SDA，并在SCL高位时保持稳定。

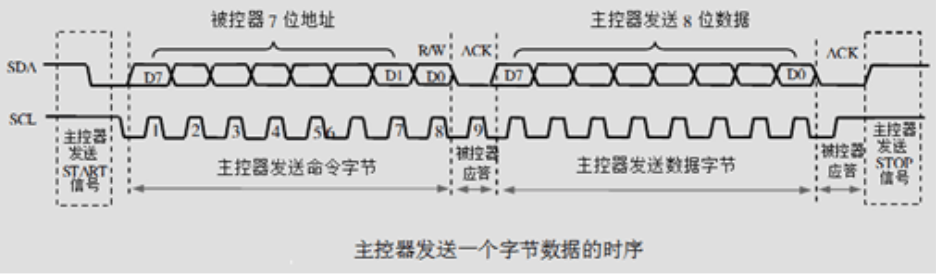
从机应答：数据发出方设置三态输入，SDA默认高位，接收方正确接收后拉低总线。低位：表示成功；高位：主机决定放弃输入或者重新输入。

每一个I2C都有一个器件地址，有的出厂就固定了，有的确定了几位，剩下的通过硬件确定，比如常见的I2C接口的EEPROM存储器，保留了3个控制地址引脚。主机通过向SDA总线发送地址来建立与从机的连接。比如，器件地址位1010的EEPROM留有三个片选地址，可以通过硬件来接GND或者VCC来设置不同的片选地址。I2C从高到低进行传输，最低为读写控制位，比如对片选地址位100的EEPROM进行写操作。控制字节为：1010-100-0。而写则为：1010-100-1.



一般I2C协议设计中，地址会有一个到两个字节的长度。我这周研究了I2C协议实现1或2字节的EEPROM读写控制的方案。



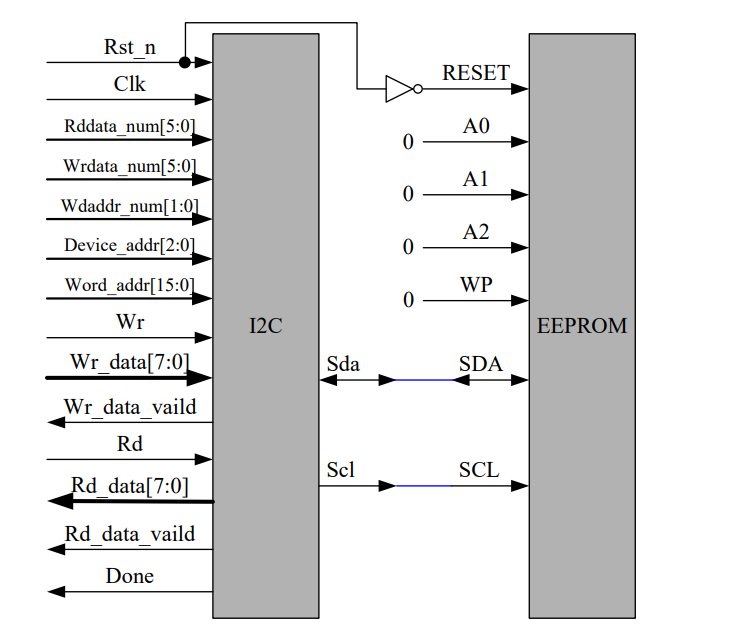


上图为EEPROM的写入流程（以单字节为例，其他从机因为地址不匹配而退出与主机的通信）：

1. 主机设置SDA输出
2. 主机发起起始
3. 设备地址和读/写信号到SDA
4. 主机设计SDA三态门输入（ACK），并读取从机应答；
5. 应答读取成功，主机设置SDA输出，传输1字节地址数据
6. SDA三态门，读取从机应答
7. 应答成功，输入带写入数据
8. SDA三态门，读取从机应答
9. 读取应答成功，主机产生STOP，终止传输。

实际操作，因为Pulp支持I2C, UART, JTAG, SPI得I/O协议。

设想可以从设计I2C控制器开始编写，到修改pulp的I2C协议控制 UMC 55NM Embedded FLASH and embedded EEPROM。

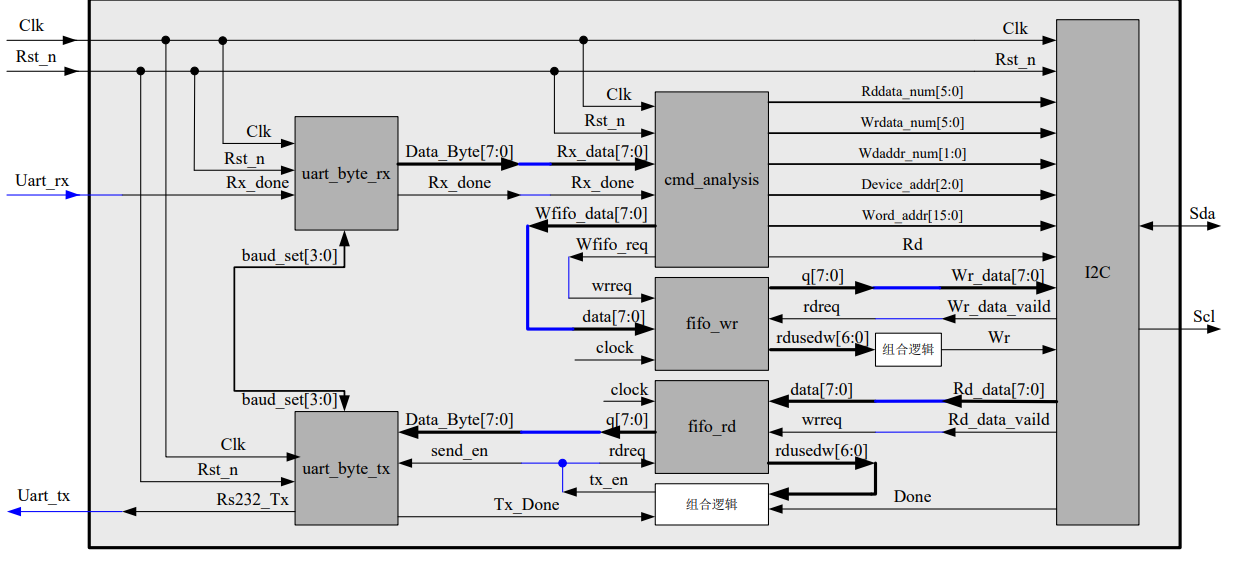


I2C控制器读写EEPROM机构框架

其中{A2,A1,A0}可以设置为不同器件的地址，以区别不同的模型。

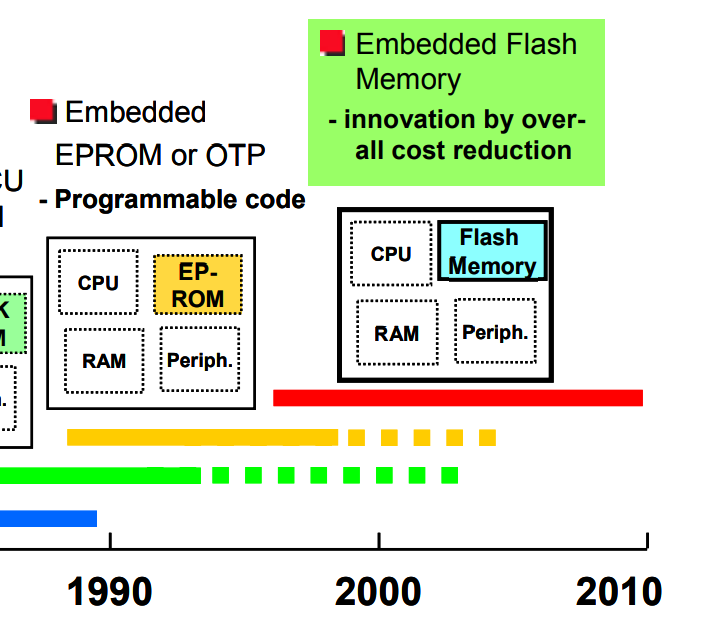
I2C可控制代码位于sim文件中。EEPROM还存在代码的综合问题，将在上周展示具体的仿真结果。同时在下周PULP的调研中，也会仔细研究其所支持得I/O协议，分析各类IP综合到我们这个MCU 的可行性。

未来我还会学习更加具体的I2C运用实例，设计框图如下



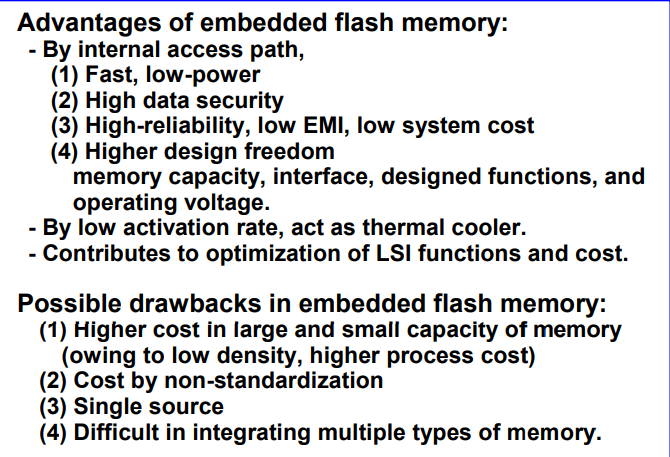
通过串口数据存入到缓冲区，识别读/写操作，如果是写，将带写入数据存入FIFO，同时器件地址，地址字节数，起始地址，数据字节数赋值给I2C对应信号线。如果是读，串口完成存入后，赋值I2C对应信号线，同时控制模块产生读使能，完成读操作。读出数据放入另一个FIFO中， 再由串口发送模块发出。

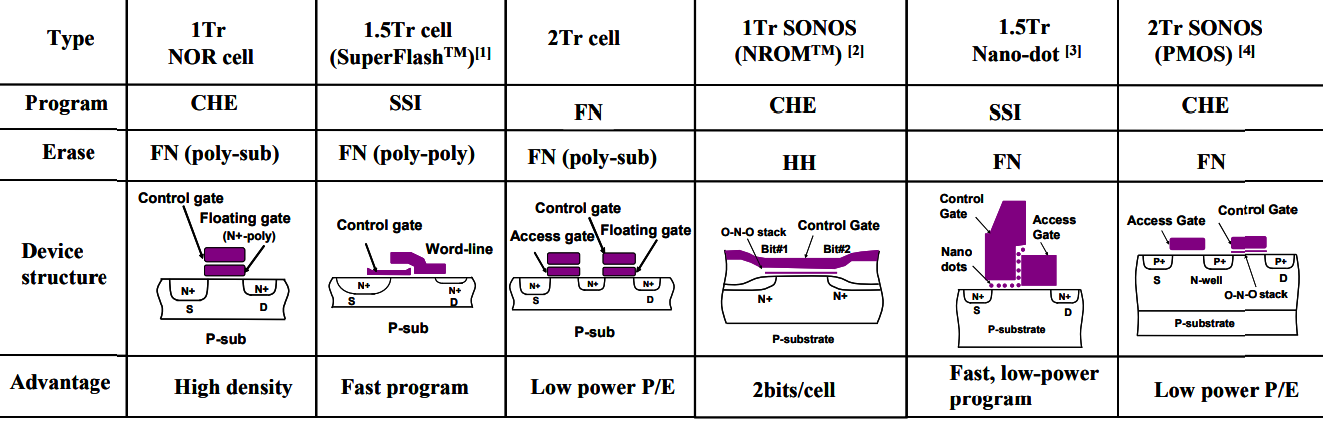
MCU存算结构发展



eFLASH满足比如车载掉闹高密度，高温度，高可靠性的要求

Embedded EEPROM可以保证数据快速的传输和低功耗的运算。同时作为non-contact smart cards可以保证数据的安全性。所有eFLASH会与embedded EEPROM选择性的共存，如将来我们会用到的UMC 55nm 器件。





同时eFLASH具有以上的型号

1T to 1.5T (split-gate structure ) and 2T cells通常适用于高算力 (high performance)，低功耗等场景中

Discrete charge-trapping cell (MONOS and Nano-dot)通常适用于高可靠性的场景中。